

1/5/1
DIALOG(R)File 347:JAPIO
(c) 2007 JPO & JAPIO. All rts. reserv.

04708390 **Image available**
GRAPHIC MEMORY ACCESS CIRCUIT

PUB. NO.: 07-028990 [JP 7028990 A]
PUBLISHED: January 31, 1995 (19950131)
INVENTOR(s): AGATA HIROYUKI
APPLICANT(s): NEC SHIZUOKA LTD [489142] (A Japanese Company or
Corporation)
 , JP (Japan)
APPL. NO.: 05-174537 [JP 93174537]
FILED: July 14, 1993 (19930714)
INTL CLASS: [6] G06T-001/60; G06F-012/00
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 45.9
 (INFORMATION PROCESSING -- Other)
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &
Microprocessors)

ABSTRACT

PURPOSE: To improve plotting performance by performing control between an address buffer and a data buffer and a CPU by a bus control circuit and writing the addresses and data of both buffers in a VRAM by a buffer control circuit.

CONSTITUTION: At the time of write on a VRAM 6 of the graphic memory of RAM constitution, a bus control circuit 5 first judges that a command signal 12 received from a CPU 1 through a bus 7 is the write, an internal control signal 16 is activated, the addresses are stored in an address buffer 2 and the data are stored in a data buffer 3 by performing adjustment between the CPU 1 and the VRAM 6 so as to let them correspond in one-to-one. Also, when the command signal 12 is the write, the bus control circuit 5 continues to receive access to the VRAM 6 until the address buffer 2 becomes full and a buffer control circuit 4 writes write data stored in the data buffer 3 in the VRAM 6 until the data buffer 3 is cleared corresponding to the addresses stored in the address buffer 2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28990

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 T 1/60				
G 0 6 F 12/00	5 8 0	9366-5B	G 0 6 F 15/ 64	4 5 0 D

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21) 出願番号 特願平5-174537

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000197366

静岡日本電気株式会社

静岡県掛川市下俣4番2号

(72) 発明者 縣 裕之

静岡県掛川市下俣4番2 静岡日本電気株式会社内

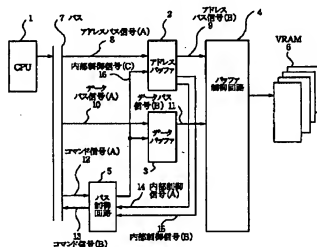
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 グラフィックスメモリアクセス回路

(57) 【要約】

【目的】 グラフィックスの描画性能からグラフィックメモリ依存性を除去し描画性能の高速化を確保する。

【構成】 グラフィックスメモリのVRAM 6へのライトデータとそのアドレスを取り込むバッファとしてのアドレスバッファ2およびデータバッファ3と、CPU 1と2つのバッファとの効率よい動作結合を制御するバス制御回路5と、2つのバッファ2、3とVRAM 6とを接続するバッファ制御回路4とを有する。



1

【特許請求の範囲】

【請求項 1】 マイクロコンピュータ構成の CPU から RAM 構成のグラフィックスメモリの VRAM へのライト時のアドレスを複数蓄えるアドレスライトバッファと、前記アドレスに対応したライトデータを複数蓄えるデータライトバッファと、前記アドレスライトバッファおよびデータライトバッファにそれぞれ蓄えられた前記アドレスとライトデータとを効率よく前記 VRAM に書き込むための制御を行なうバッファ制御回路と、前記アドレスライトバッファおよびデータライトバッファと前記 CPU 間の制御を行なうバス制御回路とを備え、グラフィックスシステムにおける前記 VRAM の高速書き込みを行なうことを特徴とするグラフィックスメモリアクセス回路。

【請求項 2】 前記グラフィックスメモリアクセス回路と、前記グラフィックスアクセス回路を駆動する CPU とを備え、グラフィックスを高速に表示することを特徴とするパーソナルコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はグラフィックメモリアクセス回路に関し、特にパーソナルコンピュータシステムのグラフィックスメモリアクセス回路に関する。

【0002】

【従来の技術】 一般的なグラフィックスシステムでは、描画のために CPU がグラフィックスメモリの VRAM に書き込む場合、VRAM への書き込みサイクルの処理が終了するまで待たされていた。

【0003】

【発明が解決しようとする課題】 近年 CPU の高速動作化が進み、CPU が VRAM にアクセスするための処理速度もますます高速化する傾向にある。そのため、VRAM の性能に比べて CPU のデータ処理性能が大幅に向上し、CPU が VRAM にアクセス時に処理を待たせれば本来の性能が発揮できないことがしばしば発生し、グラフィックスの描画性能において VRAM 性能がボトルネックとなってきたという問題点がある。

【0004】 本発明の目的は上述した問題点を解決し、グラフィックスの描画性能を VRAM 性能に依存させないようにしたグラフィックスメモリアクセス回路と、このグラフィックスメモリアクセス回路を備えてグラフィックスを高速に表示するパーソナルコンピュータとを提供することにある。

【0005】

【課題を解決するための手段】 本発明のグラフィックスメモリアクセス回路は、マイクロコンピュータ構成の CPU から RAM 構成のグラフィックスメモリの VRAM へのライト時のアドレスを複数蓄えるアドレスライトバッファと、前記アドレスに対応したライトデータを複数蓄えるデータライトバッファと、前記アドレスライトバ

2

ッファおよびデータライトバッファにそれぞれ蓄えられた前記アドレスとライトデータとを効率よく前記 VRAM に書き込むための制御を行なうバッファ制御回路と、前記アドレスライトバッファおよびデータライトバッファと前記 CPU 間の制御を行なうバス制御回路とを備え、グラフィックスシステムにおける前記 VRAM の高速書き込みを行なう構成を有する。

【0006】 また本発明のパーソナルコンピュータは、前記グラフィックスメモリアクセス回路と、前記グラフィックスアクセス回路を駆動する CPU とを備え、グラフィックスを高速に表示する構成を有する。

【0007】

【実施例】 次に、本発明について図面を参照して説明する。図 1 は本発明の一実施例の構成図である。本実施例は、マイクロコンピュータ構成の CPU 1、VRAM ライト時の複数のライトアドレスを蓄えるアドレスライトバッファ 2、VRAM ライト時の複数のデータを蓄えるデータライトバッファ 3、各バッファと VRAM 間の制御を行うバッファ制御回路 4、CPU と各バッファのインタフェースを有するバス制御回路 5 および RAM 構成のグラフィックメモリの VRAM 6 を備えた構成を有する。

【0008】 VRAM 6 に対するライト時のシーケンスとしては、まず CPU 1 からバス 7 を介して受けるライト/リードおよびロックを含むコマンド信号 (A) 1 2 がライトであることをバス制御回路 5 が判断し、バッファカウントアップ信号である内部制御信号 C 1 6 を起動して、アドレスはアドレスバス信号 (A) 8 としてアドレスライトバッファ 2 に、データはデータバス信号 (A) 1 0 としてデータバッファ 3 にそれぞれ蓄積する。この場合の蓄積量は、その時のシステム構成に合わせて一番効率のよい蓄積量が選択される。また、この時蓄積されるアドレスとデータはそれぞれが一対一で対応して蓄積されるようにバス制御回路 5 により管理される。

【0009】 アドレスバッファ 2 は、バッファが空の場合はエンプティ (空) であることを示す内部制御信号 (A) 1 4 にて内部が空であることを、また満杯の場合にはフル (満杯) 状態であることを示す内部制御信号 (B) 1 5 にて内部が満杯であることをバス制御回路 5 に知らせる。バス制御回路 5 は、これら内部制御信号 (A) 1 4 と内部制御信号 (B) 1 5 にもとづき CPU 1 と VRAM 6 間の調整を行う。

【0010】 CPU 1 からバス 7 を介して受けるコマンド信号 (A) 1 2 がライトの時は、バス制御回路 5 はアドレスバッファ 2 からの内部制御信号 (B) 1 5 をトレースしながらこの信号が有効になり、アドレスバッファ 2 が満杯であると判断するまで CPU 1 にレディ (ready) コマンド信号 (B) 1 3 をバス 7 を介して返し、VRAM 6 へのアクセスを受け続ける。内部制御信号

号(B)15が有効となったところでCPU1へのコマンド信号(B)13が返らないようにウェイト(wait)を発生させ、内部のデータバッファ3からデータが吐き出されて次のデータを取り込む準備ができるための時間を確保する制御を行う。

【0011】バッファ制御回路5によりデータバッファ3に書き込まれたライトデータはVRAM6に対して、アドレスバッファ2で書き込まれたライトアドレスに対応してデータバッファ3がクリアになるまで書き込まれる。

【0012】CPU1からのリード時においては、内部制御信号(A)14が有効の状態(各バッファが空の状態)の時はデータはVRAM6からCPU1へと素直にリードされる。しかし、内部制御信号(A)14が有効でない状態(各バッファに1つでもライトアドレスおよびライトデータが残っている状態)の場合では、CPU1からのコマンド信号(A)12のライト/リード信号がリードを要求してきてもリードデータを返さないようにするため、バス制御回路5が内部制御信号(A)14の状態をトレスしながらウェイトを発生させ、CPU1からの要求をホールドする。

【0013】その後、各バッファが空になった状態を内部制御信号(A)14で判別したらウェイトを解除し、VRAM6のデータをCPU1に対して送信し、CPU

1のVRAM6に対するリードサイクルを終了させる。

【0014】このようにして、グラフィックスの描画性能をVRAM性能に依存すること無く高速化することが可能となる。

【0015】

【発明の効果】以上説明したように本発明は、従来のグラフィックシステムにおける描画のVRAM性能への依存が解消するグラフィックアクセス回路を設けることによりパーソナルコンピュータを実現することができる。また、CPUの描画性能向上により、CPUの描画に対する負荷が軽減され、他の処理を実行できるためパーソナルコンピュータとしてのトータル処理性能も向上する効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

(符号の説明)

- 1 CPU
- 2 アドレスバッファ
- 3 データバッファ
- 4 バッファ制御回路
- 5 バス制御回路
- 6 VRAM
- 7 バス

【図1】

